

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-320031
(43)Date of publication of application : 16.11.2001

(51)Int.CI. H01L 27/108
H01L 21/8242

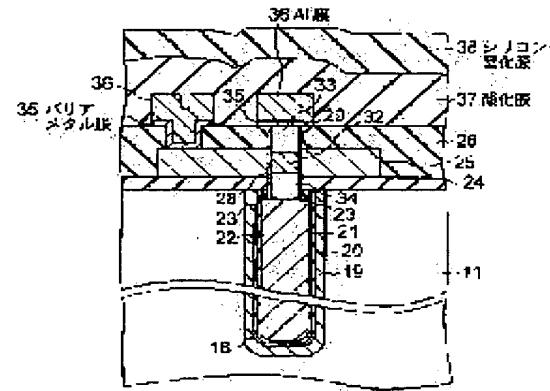
(21)Application number : 2000-133547 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 02.05.2000 (72)Inventor : YOSHIDA TAKESHI

(54) SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve charge holding capability of a cell while the space factor of the cell is reduced, in a trench type DRAM cell.

SOLUTION: A node electrode 22 of a trench capacitor is buried and formed in a surface part of, e.g. a P-type silicon substrate 11. Just above the node electrode 22, a transfer gate transistor constituted of a vertical type MOSFET is formed. As a result, the charge holding capability of a cell can be improved sufficiently without increasing the space factor of the cell.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-320031
(P2001-320031A)

(43)公開日 平成13年11月16日 (2001. 11. 16)

(51)Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

テマコード(参考)

H 0 1 L 27/10

6 2 5 A 5 F 0 8 3

審査請求 未請求 請求項の数22 O.L (全 11 頁)

(21)出願番号 特願2000-133547(P2000-133547)

(22)出願日 平成12年5月2日(2000.5.2)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 吉田 翔

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F083 AD17 GA06 GA09 GA28 HA07

JA04 JA36 JA40 PR03 PR12

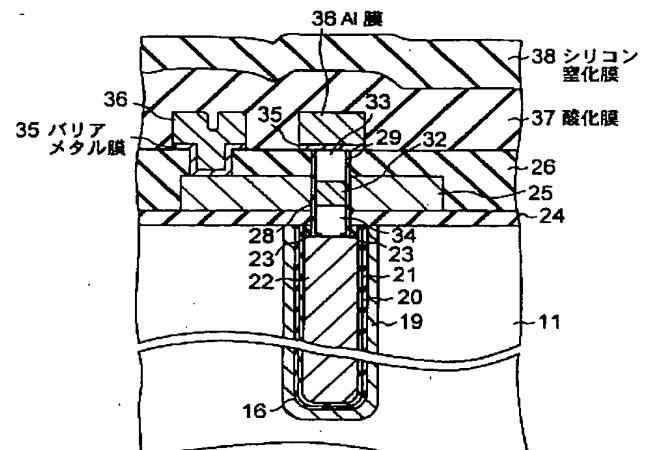
PR21 PR22 PR25 PR33 PR40

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【課題】本発明は、トレンチ型のDRAMセルにおいて、セルの占有面積を小さくしつつ、セルの電荷保持能力を高めることができるようにすることを最も主要な特徴としている。

【解決手段】たとえば、P型シリコン基板11の表面部にトレンチキャパシタのノード電極22を埋め込み形成する。そして、そのノード電極22のすぐ直上に、縦形のMOSFETで構成されたトランスマネーティングゲート・トランジスタを設ける。こうすることで、セルの占有面積を増やすことなく、セルの電荷保持能力を十分に高めることができる構成となっている。



【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板の主表面部に形成されたトレンチキャパシタと、このトレンチキャパシタの上部に設けられ、前記半導体基板の表面に対して垂直方向に電荷キャリアが移動する縦型トランジスタとを具備したことを特徴とする半導体記憶装置。

【請求項2】 前記トレンチキャパシタは、前記半導体基板の主表面部に開孔されたトレンチの、その壁面部に形成されたキャパシタ絶縁膜と、このキャパシタ絶縁膜を介して前記トレンチの内部に埋め込まれたノード電極と、このノード電極との間に前記キャパシタ絶縁膜を介して前記半導体基板の少なくとも一部に設けられたプレート電極とを有してなることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記プレート電極は、前記トレンチの壁面部に沿って設けられることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 前記プレート電極は、前記半導体基板の一部を構成するシリコン基板上に設けられることを特徴とする請求項2に記載の半導体記憶装置。

【請求項5】 前記トレンチは、前記プレート電極を貫通し、前記シリコン基板に達する深さで設けられることを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 前記縦型トランジスタは、前記半導体基板の主表面上に絶縁膜を介して設けられたゲート電極と、このゲート電極および前記絶縁膜を貫通し、前記ノード電極に達して設けられた貫通孔内に、その側壁面に設けられたゲート絶縁膜を介して埋め込まれた半導体層と、この半導体層の下方部に設けられた第1の拡散層と、前記半導体層の上方部に設けられた第2の拡散層とを有してなることを特徴とする請求項1に記載の半導体記憶装置。

【請求項7】 前記縦型トランジスタの前記第1の拡散層は、前記ノード電極と電気的に接続されていることを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】 前記縦型トランジスタの前記第1の拡散層は、前記ノード電極の上面よりはみ出さないように、前記ノード電極よりも小さい断面積を有して設けられることを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】 前記縦型トランジスタの前記第1の拡散層は、前記ノード電極の上面よりはみ出さないように、前記ノード電極と同じ断面積を有して設けられることを特徴とする請求項7に記載の半導体記憶装置。

【請求項10】 前記縦型トランジスタの前記貫通孔と前記トレンチキャパシタの前記トレンチとが一体的に開孔されてなることを特徴とする請求項2または6に記載の半導体記憶装置。

【請求項11】 前記縦型トランジスタの前記ゲート絶

縁膜と前記トレンチキャパシタの前記キャパシタ絶縁膜とが、同一膜によって形成されてなることを特徴とする請求項2または6に記載の半導体記憶装置。

【請求項12】 前記半導体層の、前記第1の拡散層と前記第2の拡散層との間に、前記縦型トランジスタのチャネルが形成されることを特徴とする請求項6に記載の半導体記憶装置。

【請求項13】 前記半導体層の、少なくとも前記チャネルが形成される側面は、前記ゲート電極によって覆われてなることを特徴とする請求項12に記載の半導体記憶装置。

【請求項14】 半導体基板の主表面部にトレンチを開孔する工程と、前記トレンチの壁面部に、トレンチキャパシタのキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜を介して、前記トレンチの内部にトレンチキャパシタのノード電極を埋め込む工程と、前記キャパシタ絶縁膜に沿う、前記半導体基板の一部にトレンチキャパシタのプレート電極を形成する工程と、前記半導体基板の主表面上に絶縁膜を介して、縦型トランジスタのゲート電極を形成する工程と、前記ゲート電極および前記絶縁膜を貫通し、前記ノード電極に達する貫通孔を開孔する工程と、前記貫通孔の側壁面に、縦型トランジスタのゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介して、前記貫通孔内に縦型トランジスタのチャネルとなる半導体層を埋め込む工程と、前記半導体層の下方部に縦型トランジスタの第1の拡散層を、また、前記半導体層の上方部に縦型トランジスタの第2の拡散層を、それぞれ形成する工程とを備えてなることを特徴とする半導体記憶装置の製造方法。

【請求項15】 前記貫通孔は、前記ノード電極の上面よりはみ出さないように、前記ノード電極よりも小さい断面積を有して設けられることを特徴とする請求項14に記載の半導体記憶装置の製造方法。

【請求項16】 半導体基板の主表面上に絶縁膜を介して縦型トランジスタのゲート電極を形成する工程と、前記ゲート電極および前記絶縁膜を貫通して、前記半導体基板の表面に達する貫通孔を開孔する工程と、前記半導体基板の主表面部に前記貫通孔につながるトレンチを開孔する工程と、前記トレンチの壁面部にトレンチキャパシタのキャパシタ絶縁膜を、また、前記貫通孔の壁面部に縦型トランジスタのゲート絶縁膜を、同一膜により形成する工程と、前記キャパシタ絶縁膜を介して、前記トレンチの内部にトレンチキャパシタのノード電極を埋め込む工程と、前記ゲート絶縁膜を介して、前記貫通孔内に半導体層を埋め込む工程と、前記半導体層の下方部に第1の拡散層を、また、前記半導体層の上方部に第2の拡散層を、それぞれ形成する工

程とを備えてなることを特徴とする半導体記憶装置の製造方法。

【請求項17】前記半導体基板の一部には、あらかじめトレンチキャパシタのプレート電極が形成されてなることを特徴とする請求項16に記載の半導体記憶装置の製造方法。

【請求項18】前記トレンチの開孔は、前記貫通孔に連続して行われることを特徴とする請求項16に記載の半導体記憶装置の製造方法。

【請求項19】前記第1の拡散層は、その上面部が前記ゲート電極と重なる高さで設けられることを特徴とする請求項14または16に記載の半導体記憶装置の製造方法。

【請求項20】前記第2の拡散層は、その下面部が前記ゲート電極と重なる高さで設けられることを特徴とする請求項14または16に記載の半導体記憶装置の製造方法。

【請求項21】前記半導体層は、アモルファスシリコン膜を再結晶化してなることを特徴とする請求項14または16に記載の半導体記憶装置の製造方法。

【請求項22】前記半導体層は、前記貫通孔内にエピタキシャル膜を選択的に成長させてなることを特徴とする請求項16に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置およびその製造方法に関するもので、特に、トレンチ型のDRAM (Dynamic Random Access read write Memory) セルに関する。

【0002】

【従来の技術】半導体記憶装置は、年々、集積度の向上が図られ、その進歩が著しい。取り分け、その中でも、DRAMは高い集積度が要求されている。DRAMの集積度を高めるときに重要なのが、DRAMセルにおけるトランスファーゲート・トランジスタのショートチャネル特性の改善である。

【0003】DRAMセルの電荷保持能力を決める一因として、トランスファーゲート・トランジスタのカットオフ電流がある。トランスファーゲート・トランジスタには、周辺回路で用いられるトランジスタより二桁以上も低いカットオフ電流が求められている。

【0004】しかしながら、DRAMの高集積化が進み、現在では、トランスファーゲート・トランジスタのゲート長は0.2 μmを切り、最先端のものでは0.1 μmに届こうとしている。そのため、トランスファーゲート・トランジスタのショートチャネル効果を抑えて、十分に低いカットオフ電流を達成することが非常に難しくなってきている。

【0005】

【発明が解決しようとする課題】上記したように、従来においては、高集積化が進められる一方で、トランスファーゲート・トランジスタのショートチャネル効果を抑えて、十分に低いカットオフ電流を達成することが非常に難しくなってきているという問題があった。

【0006】そこで、この発明は、セルの占有面積を圧倒的に小さくでき、しかも、トランスファーゲート・トランジスタのカットオフ電流を十分に低くして、セルの電荷保持能力を高めることが可能な半導体記憶装置およびその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体記憶装置にあっては、半導体基板と、この半導体基板の主表面部に形成されたトレンチキャパシタと、このトレンチキャパシタの上部に設けられ、前記半導体基板の表面に対して垂直方向に電荷キャリアが移動する縦型トランジスタとを具備したことを特徴とする。

【0008】また、この発明の半導体記憶装置の製造方法にあっては、半導体基板の主表面部にトレンチを開孔する工程と、前記トレンチの壁面部に、トレンチキャパシタのキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜を介して、前記トレンチの内部にトレンチキャパシタのノード電極を埋め込む工程と、前記キャパシタ絶縁膜に沿う、前記半導体基板の一部にトレンチキャパシタのプレート電極を形成する工程と、前記半導体基板の主表面上に絶縁膜を介して、縦型トランジスタのゲート電極を形成する工程と、前記ゲート電極および前記絶縁膜を貫通し、前記ノード電極に達する貫通孔を開孔する工程と、前記貫通孔の側壁面に、縦型トランジスタのゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を介して、前記貫通孔内に縦型トランジスタのチャネルとなる半導体層を埋め込む工程と、前記半導体層の下方部に縦型トランジスタの第1の拡散層を、また、前記半導体層の上方部に縦型トランジスタの第2の拡散層を、それぞれ形成する工程とを備えてなることを特徴とする。

【0009】さらに、この発明の半導体記憶装置の製造方法にあっては、半導体基板の主表面上に絶縁膜を介して縦型トランジスタのゲート電極を形成する工程と、前記ゲート電極および前記絶縁膜を貫通して、前記半導体基板の表面に達する貫通孔を開孔する工程と、前記半導体基板の主表面部に前記貫通孔につながるトレンチを開孔する工程と、前記トレンチの壁面部にトレンチキャパシタのキャパシタ絶縁膜を、また、前記貫通孔の壁面部に縦型トランジスタのゲート絶縁膜を、同一膜により形成する工程と、前記キャパシタ絶縁膜を介して、前記トレンチの内部にトレンチキャパシタのノード電極を埋め込む工程と、前記ゲート絶縁膜を介して、前記貫通孔内に半導体層を埋め込む工程と、前記半導体層の下方部に第1の拡散層を、また、前記半導体層の上方部に第2の

拡散層を、それぞれ形成する工程とを備えてなることを特徴とする。

【0010】この発明の半導体記憶装置およびその製造方法によれば、縦型トランジスタとトレンチキャパシタとを極めて近接させて配置できるようになる。これにより、セルの占有面積を増やすことなく、セルの電荷保持能力を十分に高めることができるものである。

【0011】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0012】(第1の実施形態) 図1～図14は、本発明の第1の実施形態にかかるトレンチ型のDRAMセルの、製造方法の概略を示すものである。

【0013】まず、図1に示すように、半導体基板、たとえば $4 \sim 6 \Omega \cdot \text{cm}$ の比抵抗を有するP型シリコン基板(面方位(100))11の表面を酸化して100オングストローム厚程度の熱酸化膜12を形成した後、その上に、1500オングストローム厚程度のシリコン窒化膜13、3000オングストローム厚程度のシリコン酸化膜14を、それぞれCVD法により堆積する。

【0014】次に、図2に示すように、一辺が $0.4 \mu\text{m}$ 長程度の正方形の孔が形成されたフォトレジスト膜15をエッチングマスクとして、上記シリコン酸化膜14、上記シリコン窒化膜13、上記熱酸化膜12をそれぞれRIE法により除去する。

【0015】次に、上記フォトレジスト膜15を除去した後、図3に示すように、上記シリコン酸化膜14、上記シリコン窒化膜13、上記熱酸化膜12をトレンチ形成用のマスクに用いて、上記シリコン基板11の表面部に深さ $5 \mu\text{m}$ 程度のトレンチ16をRIE法により形成する。

【0016】次に、図4に示すように、砒素(A s)を高濃度に含んだシリコン酸化膜(A s SG膜)17を500オングストローム程度の厚さで堆積させ、さらに、その上に不純物を含まないシリコン酸化膜18を500オングストローム程度の厚さで堆積させる。そして、900°C程度の温度でアニールを行って、トレンチ16の側壁部にN型のトレンチキャパシタのプレート電極19を形成する。

【0017】次に、図5に示すように、上記A s SG膜17および上記シリコン酸化膜18をフッ酸により除去する。その後、70オングストローム厚程度のシリコン窒化膜20をLPCVD法により堆積し、さらに、略900°Cの温度で熱酸化して、上記シリコン窒化膜20上に30オングストローム厚程度の酸化膜21を形成することによって、トレンチのキャパシタ絶縁膜となるNO膜を形成する。

【0018】次に、図6に示すように、砒素が高濃度にドーピングされたポリシリコン膜を約3000オングストロームの厚さに堆積して、上記トレンチ16の内部を

埋め込む。さらに、全面にRIE法によるエッチングをかけて、上記ポリシリコン膜の上面の高さが、上記シリコン基板11の表面の高さよりも約500オングストローム下方にくるように加工を行って、トレンチキャパシタのノード電極22を形成する。

【0019】次に、図7に示すように、シリコン酸化膜23を3000オングストローム程度の厚さで堆積させる。そして、CMP法によって上記シリコン窒化膜13をストッパー膜に用いて平坦化を行い、上記ノード電極22の上部を埋め込むようにシリコン酸化膜23を加工する。その後、上記シリコン窒化膜13を高温の磷酸により除去する。

【0020】次に、図8に示すように、フッ酸により上記シリコン酸化膜23の上面の高さが、上記シリコン基板11の表面の高さと同じになるようにエッチングして、トレンチキャパシタを完成させる。

【0021】次に、図9に示すように、上記P型シリコン基板11上に1000オングストローム厚程度のシリコン酸化膜24を堆積し、その上に、P(リン)が高濃度にドーピングされた低抵抗のポリシリコン膜を300オングストローム程度の厚さで堆積させる。その後、フォトレジスト膜(図示していない)をマスク材として、上記ポリシリコン膜を所望の形にRIE法により加工して、トランスマスク・トランジスタとなる縦形MOSFETのゲート電極25を形成する。

【0022】さらに、フォトレジスト膜を除去した後、上記ゲート電極25上に、シリコン酸化膜を6000オングストローム程度の厚さに堆積する。そして、その表面をCMP法により研磨して平坦化し、上記ゲート電極25上に2000オングストローム程度の厚さでシリコン酸化膜26が残るようになる。

【0023】次に、図10に示すように、上記シリコン酸化膜26上に、一辺が $0.3 \mu\text{m}$ 長程度の正方形の孔が開孔されたフォトレジスト膜27を形成する。このフォトレジスト膜27は、上記シリコン基板11の表面から見た平面上の位置として、上記トレンチキャパシタ(トレンチキャパシタのノード電極22)の内側に対応するように、上記孔が形成される。

【0024】その後、上記フォトレジスト膜27をマスクにして、上記シリコン酸化膜26、上記ゲート電極25、上記シリコン酸化膜24、および、上記シリコン酸化膜23を全て貫き、上記トレンチ16内に埋められたトレンチキャパシタのノード電極(ポリシリコン膜)22に到達するように、RIE法により開孔部28を形成する。この場合、RIEは、ガスや温度などを変更しながら、各膜に対して最適な条件によってエッチングが行われるように制御される。

【0025】次に、上記フォトレジスト膜27を除去した後、図11に示すように、100オングストローム厚程度の酸化膜(ゲート絶縁膜)29を堆積し、それを8

00°C程度の酸素雰囲気中でデンシファイする。

【0026】その後、ボロン（B）を低濃度に含んだアモルファスシリコンを、LPCVD法により500オングストローム厚程度に堆積する。そして、そのアモルファスシリコンをRIE法により全面エッチングし、開孔部28の側壁にアモルファスシリコン膜30が残るように加工する。

【0027】次に、図12に示すように、トレンチキャパシタのノード電極22上の酸化膜29を希フッ酸により除去した後、ボロンを低濃度に含んだアモルファスシリコン膜31を2000オングストローム程度の厚さに堆積して、上記開孔部28内を埋め込む。

【0028】その後、600°C程度の温度でアニールし、上記アモルファスシリコン膜30、31を再結晶化して、グレインが大きくて結晶欠陥の比較的少ないポリシリコン膜（半導体層）を形成する。

【0029】次に、図13に示すように、CMP法を用いて再結晶化したポリシリコン膜32を全面研磨し、後にチャネルが形成されるポリシリコン膜32によって上記開孔部28内を完全に埋め込む。

【0030】さらに、砒素をイオン注入した後、それを850°C程度の温度によりアニールして活性化させ、縦形MOSFETの上部の拡散層33と下部の拡散層34とを形成する。下部の拡散層34は、トレンチキャパシタのノード電極22中に含まれる砒素が拡散されることによって形成される。

【0031】また、縦形MOSFETの上部／下部の各拡散層33、34は、その一部が、上記ゲート電極25とオーバーラップするように、つまり、縦形MOSFETのソース／ドレインがオフセット構造にならないよう、砒素の拡散する距離を活性化アニールの条件を調整することによって制御する。

【0032】次に、図14に示すように、上記シリコン酸化膜26に縦形MOSFETのゲート電極25へのコントラクト孔を形成した後、TiNのバリアメタル膜35、A1膜36をスパッタ法により堆積し、上部の拡散層33上にDRAMのセルアレイのビット線を形成するとともに、ワード線となるゲート電極25への配線を形成する。

【0033】その後、プラズマCVD法によって酸化膜37およびシリコン窒化膜38をそれぞれ3000オングストローム程度の厚さに堆積させて、最上層の保護膜を形成することにより、トレンチ型のDRAMセルを完成させる。

【0034】このようなトレンチ型のDRAMセルによれば、トレンチキャパシタのノード電極のすぐ直上に、縦形のトランジスタで構成されたトランスマイクロン・トランジスタを設けるようにしているため、トランスマイクロン・トランジスタとトレンチキャパシタとを極めて近接させて配置できるようになる。これにより、

シリコン基板上にトランスマイクロン・トランジスタとトレンチキャパシタとを並べて配置する、通常の構造のトレンチ型セルと比較して、セルの占有面積を圧倒的に小さくすることができる。

【0035】また、トレンチキャパシタのノード電極およびトランスマイクロン・トランジスタとシリコン基板とを、絶縁膜によって電気的に分離してやることにより、キャパシタに保持された電荷はトランスマイクロン・トランジスタを介してビット線へと流れるリークパスしかないので、トランスマイクロン・トランジスタのカットオフ電流がそのままセルの電荷保持能力となる。

【0036】すなわち、縦形トランジスタのカットオフ電流は、チャネルが形成されるポリシリコン膜32の断面積に比例し、縦方向のゲート電極25の膜厚、つまりゲート長に逆比例する。したがって、カットオフ電流を抑えるには、加工技術が許す限り、開孔部28内に埋め込まれる柱状のポリシリコン膜32の断面積を縮小し、かつ、ゲート長、つまりゲート電極25の膜厚を厚くすれば良い。この場合、ポリシリコン膜32の断面積の縮小やゲート電極25の膜厚の増加は、いずれもセルの占有面積を増やす方向には働くないので、セルの占有面積を増やすことなしに、セルの電荷保持能力を高めることができる。

【0037】（第2の実施形態）図15～図24は、本発明の第2の実施形態にかかるトレンチ型のDRAMセルの、製造方法の概略を示すものである。

【0038】まず、図15に示すように、たとえば、 $0.005\Omega \cdot cm \sim 0.01\Omega \cdot cm$ の比抵抗を有するP+型シリコン基板（面方位（100））51上に、比抵抗が $4 \sim 6\Omega \cdot cm$ のP型シリコン層（トレンチキャパシタのプレート電極）52を約 $1\mu m$ の厚さでエピタキシャル成長させたエピタキシャル基板（半導体基板）を用意する。

【0039】次に、図16に示すように、上記P型シリコン層52上に1000オングストローム厚程度のシリコン酸化膜53を堆積し、その上に、リンが高濃度にドーピングされた低抵抗のポリシリコン膜を3000オングストローム程度の厚さで堆積させる。その後、フォトレジスト膜（図示していない）をマスク材として、上記ポリシリコン膜を所望の形にRIE法により加工して、トランスマイクロン・トランジスタとなる縦形MOSFETのゲート電極54を形成する。

【0040】さらに、フォトレジスト膜を除去した後、上記ゲート電極54上に、シリコン酸化膜を5000オングストローム程度の厚さに堆積する。そして、その表面をCMP法により研磨して平坦化し、上記ゲート電極54上に1500オングストローム程度の厚さでシリコン酸化膜55が残るようにする。

【0041】次に、図17に示すように、シリコン窒化

膜56を1000オングストローム程度の厚さに堆積し、さらに、シリコン酸化膜57を3000オングストローム程度の厚さに堆積した後、その上に、一辺が0.4μm長程度の正方形の孔が開孔されたフォトレジスト膜58を形成する。

【0042】次に、図18に示すように、上記フォトレジスト膜58をマスクにして、上記シリコン酸化膜57、上記シリコン窒化膜56、上記シリコン酸化膜55、上記ゲート電極54、および、上記シリコン酸化膜53を全て貫き、上記P型シリコン層52に到達するよう、RIE法により開孔窓（貫通孔）を形成する。この場合、RIEは、ガスや温度などを変更しながら、各膜に対して最適な条件によってエッチングが行われるよう制御される。

【0043】次に、フォトレジスト膜58を除去した後、図19に示すように、上記シリコン酸化膜57をマスク材として用いて、上記P型シリコン層52を貫通し、上記シリコン基板51に達する、5μm程度の深さのトレンチ59を形成する。

【0044】次に、図20に示すように、70オングストローム厚程度のシリコン窒化膜(Si₃N₄膜)60をLPCVD法により堆積し、さらに、約900℃の温度で熱酸化して、上記シリコン窒化膜60上に30オングストローム厚程度の酸化膜61を形成することにより、トレンチのキャパシタ絶縁膜となるNO膜および縦型MOSFETのゲート絶縁膜を形成する。

【0045】次に、砒素が高濃度でドーピングされたポリシリコン膜を3000オングストローム程度の厚さに堆積して、上記トレンチ59内を埋め込む。さらに、そのポリシリコン膜を、シリコン酸化膜に対して高い選択性を持つ等方性のドライエッチングによってエッチングする。この場合、上記ポリシリコン膜の上面の高さが、縦型MOSFETのゲート電極54の底面の高さよりも約1000オングストローム下方にくるように加工を行って、トレンチキャパシタのノード電極62を形成する。

【0046】次に、ボロンを低濃度に含んだアモルファスシリコンを、上記ノード電極62の上部に3000オングストローム程度の厚さに堆積する。その後、600℃程度の温度でアニールし、上記アモルファスシリコンを再結晶化して、グレインが大きくて結晶欠陥の比較的小ないポリシリコン膜（半導体層）を形成する。

【0047】次に、RIEを用いて、再結晶化したポリシリコン膜を全面エッチングし、後にチャネルが形成されるポリシリコン膜63の上面の高さが、縦型MOSFETのゲート電極54の上面の高さよりも約2000オングストローム上方にくるように加工する（図21参照）。

【0048】なお、この半導体層の形成には、選択エピタキシャル成長法を用いることもできる。たとえば、選

択エピタキシャル成長法により、ボロンを低濃度に含んだシリコンを、トレンチキャパシタのノード電極62の上面のみに、縦型MOSFETのゲート電極54の上面の高さから約2000オングストローム上方の高さにくるまで成長させることによっても、同様に形成することができる。

【0049】次に、マスク材として用いたシリコン酸化膜57をフッ酸により除去した後、図22に示すように、上記シリコン窒化膜56を高温の磷酸により除去する。

【0050】次に、図23に示すように、CMP法によって研磨して突起状に残ったポリシリコン膜63の上面を平坦化する。そして、砒素をイオン注入した後、850℃程度の温度でアニールを行って活性化させ、縦型MOSFETの上部の拡散層64と下部の拡散層65とを形成する。

【0051】上述した第1の実施形態にかかる製造方法の場合と同様に、下部の拡散層65は、トレンチキャパシタのノード電極62中に含まれる砒素が拡散されることによって形成される。

【0052】また、縦型MOSFETの上部／下部の各拡散層64、65は、その一部が、上記ゲート電極54とオーバーラップするように、つまり、縦型MOSFETのソース／ドレインがオフセット構造にならないように、砒素の拡散する距離を活性化アニールの条件を調整することによって制御する。

【0053】次に、図24に示すように、第1の実施形態にかかる製造方法の場合と同様に、TiNのバリアメタル膜69およびAl膜66による配線の形成を行った後、プラズマCVD法によって酸化膜67およびシリコン窒化膜68をそれぞれ3000オングストローム程度の厚さに堆積させて、最上層の保護膜を形成することにより、トレンチ型のDRAMセルを完成させる。

【0054】このようなトレンチ型のDRAMセルによっても、上述の第1の実施形態にかかるトレンチ型のDRAMセルと略同様な効果が期待できる。すなわち、セルの占有面積を増やすことなく、セルの電荷保持能力を十分に高めることが可能となる。

【0055】特に、本発明の第2の実施形態にかかる製造方法の場合、トレンチキャパシタとトランジスタ・トランジスタのチャネルが形成される開孔窓とを連続して開孔できるようになるため、工程の簡略化が図れるとともに、複数回に分けてフォトリソグラフィ工程を実施する際に生ずる合わせずれの問題を解消することができるので、さらなる微細化が可能となる。

【0056】また、この第2の実施形態にかかる製造方法のように、キャパシタ絶縁膜とトランジスタ・トランジスタのゲート絶縁膜とを同一の膜で形成できるようにした場合、工程を簡略化でき、製造コストの削減につながる。

【0057】その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0058】

【発明の効果】以上、詳述したようにこの発明によれば、セルの占有面積を圧倒的に小さくでき、しかも、トランスマルチゲート・トランジスタのカットオフ電流を十分に低くして、セルの電荷保持能力を高めることが可能な半導体記憶装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態にかかるトレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図2】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図3】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図4】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図5】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図6】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図7】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図8】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図9】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図10】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図11】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図12】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図13】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図14】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図15】この発明の第2の実施形態にかかるトレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図16】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図17】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図18】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図19】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図20】同じく、トレンチ型DRAMセルの製造方法

を説明するために示す工程断面図。

【図21】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図22】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図23】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

【図24】同じく、トレンチ型DRAMセルの製造方法を説明するために示す工程断面図。

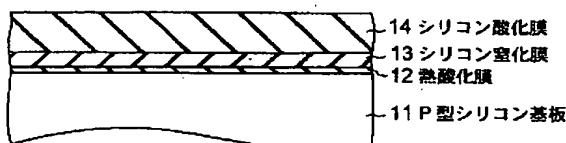
【符号の説明】

- 1 1 … P型シリコン基板
- 1 2 … 熱酸化膜
- 1 3 … シリコン窒化膜
- 1 4 … シリコン酸化膜
- 1 5 … フォトレジスト膜
- 1 6 … トレンチ
- 1 7 … シリコン酸化膜 (As SG膜)
- 1 8 … シリコン酸化膜
- 1 9 … プレート電極
- 2 0 … シリコン窒化膜
- 2 1 … 酸化膜
- 2 2 … ノード電極
- 2 3 … シリコン酸化膜
- 2 4 … シリコン酸化膜
- 2 5 … ゲート電極
- 2 6 … シリコン酸化膜
- 2 7 … フォトレジスト膜
- 2 8 … 開孔部
- 2 9 … 酸化膜 (ゲート絶縁膜)
- 3 0, 3 1 … アモルファスシリコン膜
- 3 2 … ポリシリコン膜
- 3 3 … 上部の拡散層
- 3 4 … 下部の拡散層
- 3 5 … バリアメタル膜
- 3 6 … Al膜
- 3 7 … 酸化膜
- 3 8 … シリコン窒化膜
- 5 1 … P+型シリコン基板
- 5 2 … P型シリコン層
- 5 3 … シリコン酸化膜
- 5 4 … ゲート電極
- 5 5 … シリコン酸化膜
- 5 6 … シリコン窒化膜
- 5 7 … シリコン酸化膜
- 5 8 … フォトレジスト膜
- 5 9 … トレンチ
- 6 0 … シリコン窒化膜 (Si₃N₄膜)
- 6 1 … 酸化膜
- 6 2 … ノード電極
- 6 3 … ポリシリコン膜

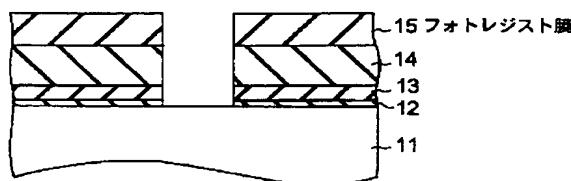
6 4…上部の拡散層
6 5…下部の拡散層
6 6…A 1膜

6 7…酸化膜
6 8…シリコン窒化膜
6 9…バリアメタル膜

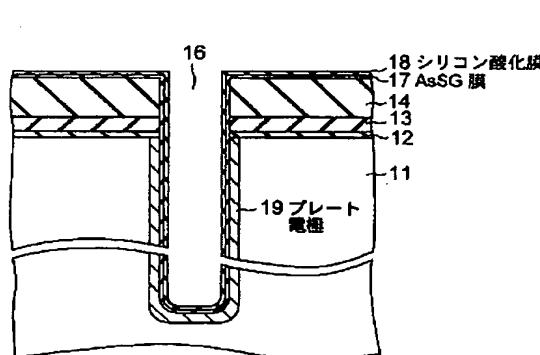
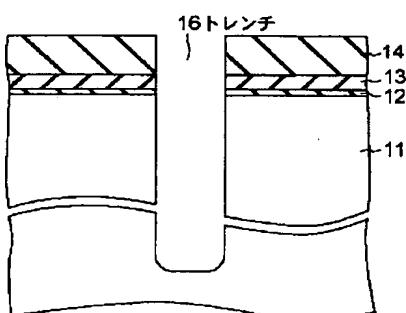
【図1】



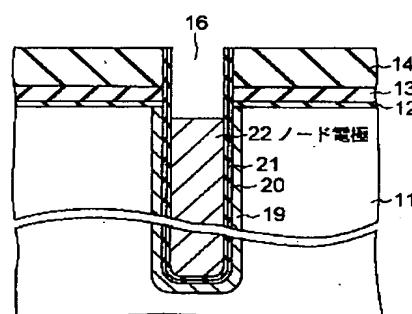
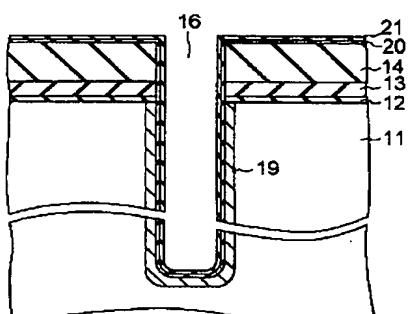
【図2】



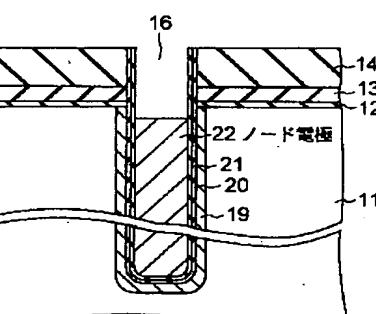
【図3】



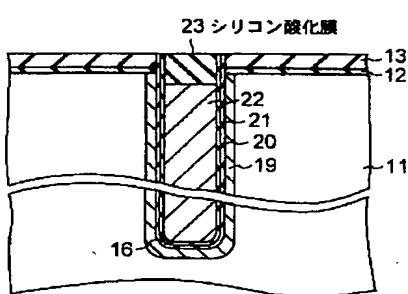
【図5】



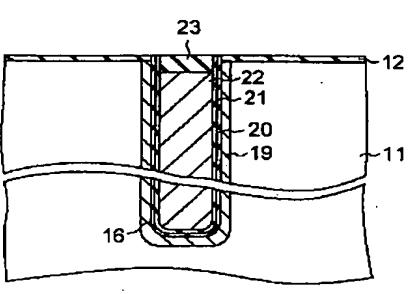
【図6】



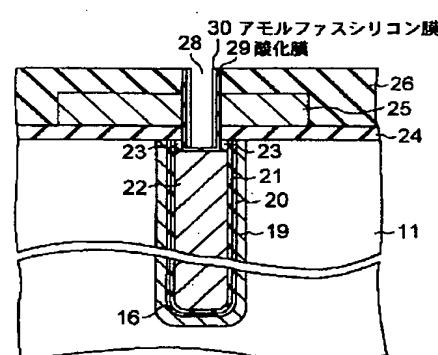
【図7】



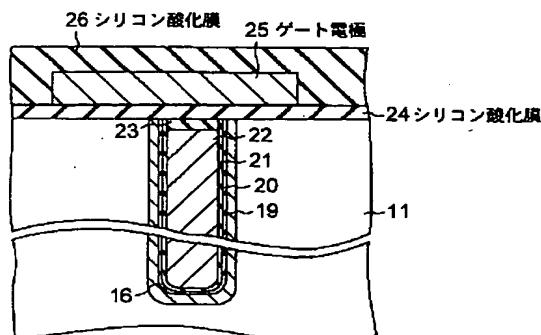
【図8】



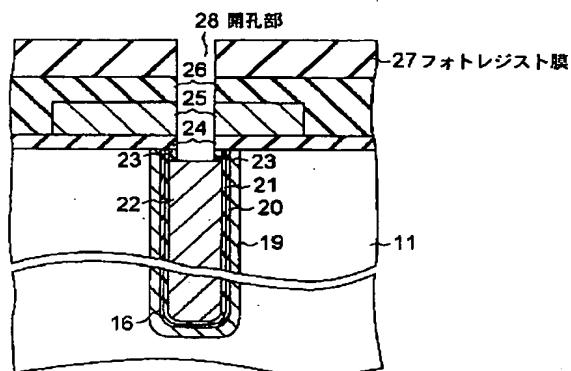
【図11】



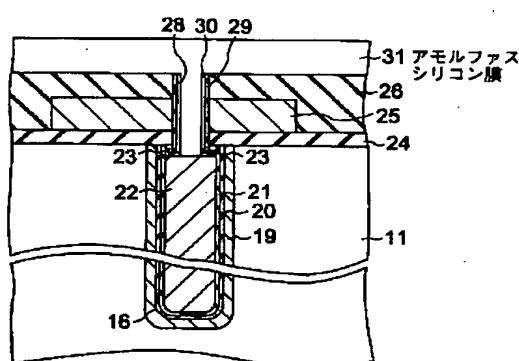
【図9】



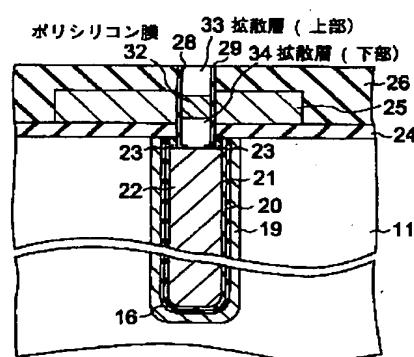
【図10】



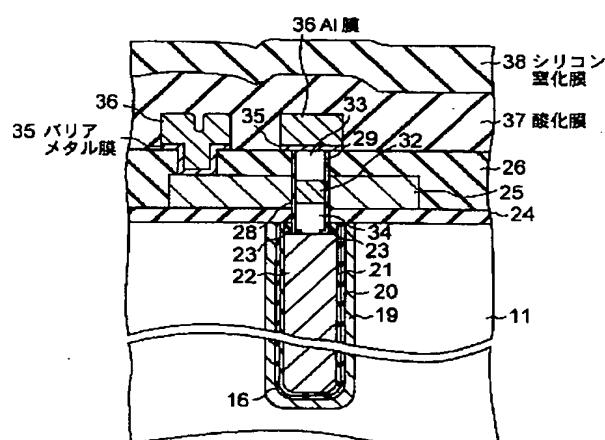
【図12】



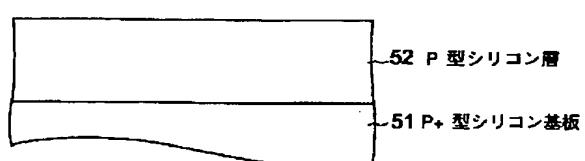
【図13】



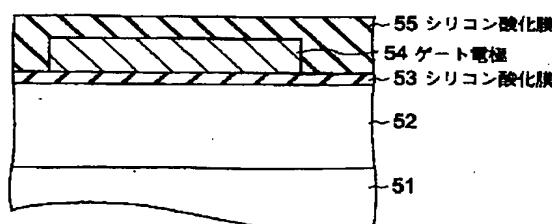
【図14】



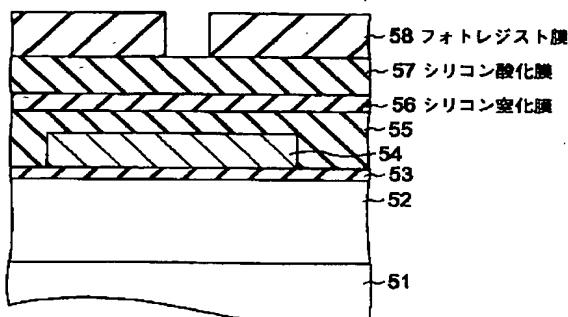
【図15】



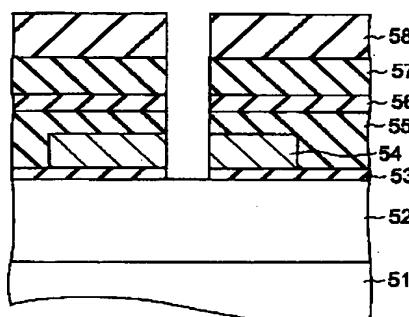
【図16】



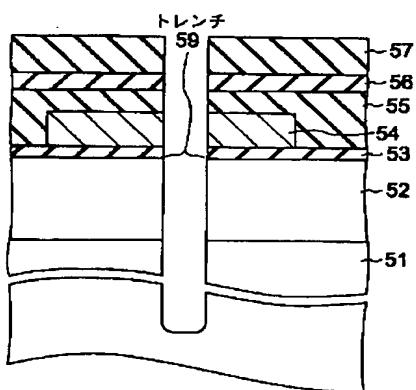
【図17】



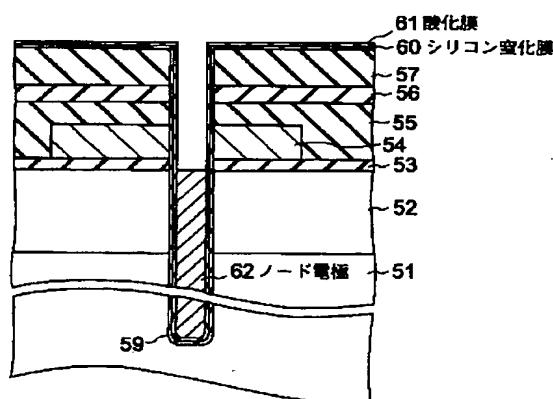
【図18】



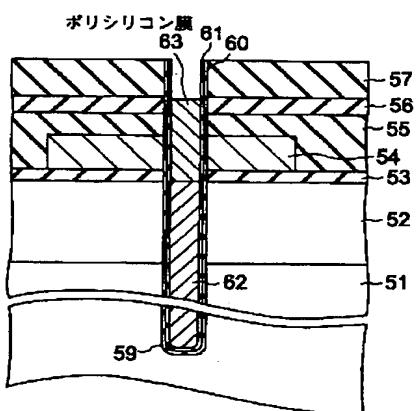
【図19】



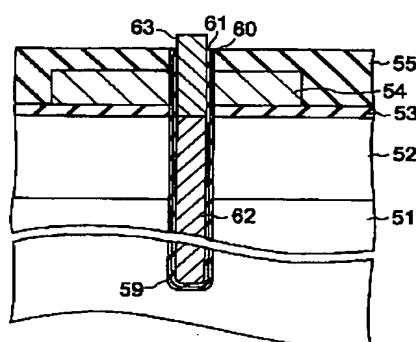
【図20】



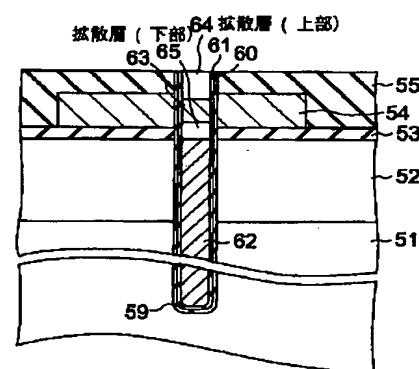
【図21】



【図22】



【図23】



【図24】

